

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-029704

(43)Date of publication of application : 31.01.1995

(51)Int.Cl.

H01C 7/04

H01C 1/14

(21)Application number : 05-170286

(71)Applicant : MITSUBISHI MATERIALS CORP

(22)Date of filing : 09.07.1993

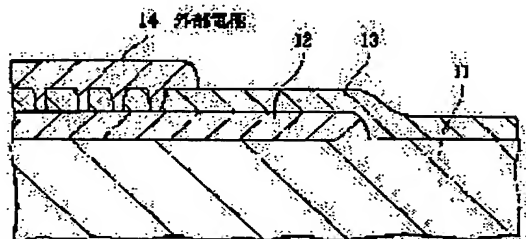
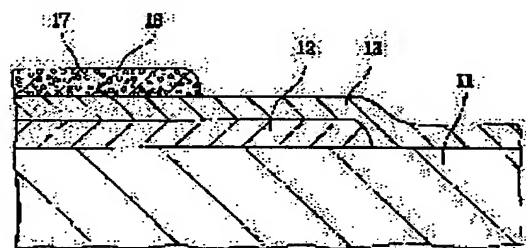
(72)Inventor : NAKAJIMA HIROAKI
FUJIMOTO YOSHINORI
KOSHIMURA MASAMI

(54) CHIP-TYPE THERMISTOR AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To obtain a chip-type thermistor which is provided with electrodes almost free from a solder bridge formed between them and excellent in heat resistance and solder wettability by a method wherein a lower inorganic substance layer under a paste layer is reactively fused together with inorganic binder contained in the paste layer and made to disappear partially as absorbed into an outer electrode at the formation of the outer electrode.

CONSTITUTION: An outer electrode 14 is provided through such a manner that a conductive paste 17 which is smaller in area than an inner electrode 12 and comprises metal powder and inorganic binder 16 is baked to the opposed edges of a thermistor element 11. A lower inorganic substance layer 13 is as thick as 0.1 to 10 μ m and has a fusing point or a softening point higher than a burning temperature at which the outer electrode 14 is formed. The lower inorganic substance layer 13 under the conductive paste 17 is reactively fused together with the inorganic binder 16 contained in the paste 17 and made to disappear partially as absorbed into the outer electrode 14 at the formation of the outer electrode 14. By this setup, a chip-type thermistor can be comparatively easily manufactured through a small number of processes.



LEGAL STATUS

[Date of request for examination]

30.09.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3109700

[Date of registration]

14.09.2000

[Number of appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-29704

(43) 公開日 平成7年(1995)1月31日

(51) Int.Cl.⁶

識別記号

片内整理番号

F I

技術表示箇所

H 0 1 C 7/04

1/14

Z

審査請求 未請求 請求項の数10 O L (全 11 頁)

(21) 出願番号 特願平5-170286

(22) 出願日 平成5年(1993)7月9日

(71) 出願人 000006264

三菱マテリアル株式会社

東京都千代田区大手町1丁目5番1号

(72) 発明者 中島 弘明

埼玉県秩父郡横瀬町大字横瀬2270番地 三
菱マテリアル株式会社セラミックス研究所
内

(72) 発明者 藤本 義典

埼玉県秩父郡横瀬町大字横瀬2270番地 三
菱マテリアル株式会社セラミックス研究所
内

(74) 代理人 弁理士 須田 正義

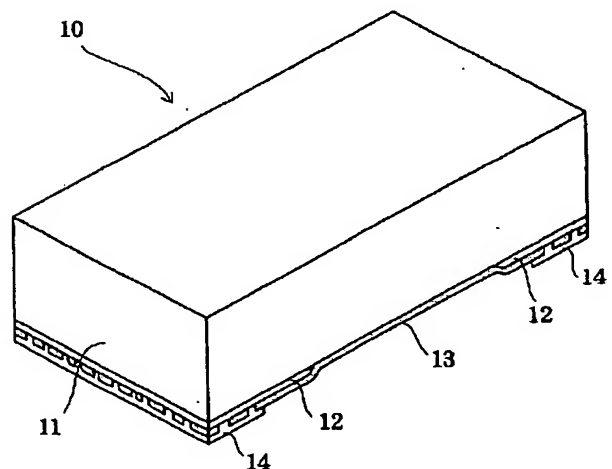
最終頁に続く

(54) 【発明の名称】 チップ型サーミスタ及びその製造方法

(57) 【要約】

【目的】 電極間にはんだブリッジが発生せず、はんだ耐熱性とはんだ付着性に優れ、電極のめっき処理による抵抗値の変化がなく、抵抗値の精度が極めて高く、かつ小型化し得る。サーミスタを容易にかつ安価に製造する。

【構成】 6面体のサーミスタ素体11の下面の相対向する2つの端縁に沿って一対の内部電極12が間隔をあけて設けられる。内部電極が形成された素体11の下面全体に0.1~10 μ m厚の絶縁性無機物層13が、また内部電極が形成された部分の無機物層の表面に一対の外部電極14が形成される。外部電極は金属粉末と無機結合材16を含む導電性ペースト17を内部電極より少ない面積で素体11の相対向する2つの端縁に形成され、無機物層は外部電極形成時の焼成温度より高い融点又は軟化点を有する。ペースト17の下地部分の無機物層の一部が外部電極形成時に無機結合材に反応溶融して外部電極に吸収され消滅する。



- 10 チップ型サーミスタ
- 11 サーミスタ素体
- 12 内部電極
- 13 絶縁性下面無機物層
- 14 外部電極

【特許請求の範囲】

【請求項 1】 6 面体からなるチップ状サーミスタ素体 (11) と、

前記サーミスタ素体 (11) の下面の相対向する 2 つの端縁に沿って間隔をあけて形成された一対の内部電極 (12, 12) と、

前記内部電極 (12, 12) が形成されたサーミスタ素体 (11) の下面全体に形成された絶縁性下面無機物層 (13) と、

前記内部電極 (12, 12) が形成された部分の前記下面無機物層 (13) の表面に形成された一対の外部電極 (14, 14) とを備えたチップ型サーミスタ (10) であって、

前記外部電極 (14) は金属粉末と無機結合材 (16) を含む導電性ペースト (17) を前記内部電極 (12) より少ない面積で前記サーミスタ素体 (11) の相対向する 2 つの端縁に焼付けて形成され、

前記下面無機物層 (13) は厚さが $0.1 \sim 10 \mu\text{m}$ であって、前記外部電極 (14) を形成する時の焼成温度より高い融点又は軟化点を有し、かつ前記ペースト (17) の下地部分の前記下面無機物層 (13) の一部が前記外部電極 (14) の形成時に前記無機結合材 (16) に反応溶融して前記外部電極 (14) に吸収され消滅するように構成されたことを特徴とするチップ型サーミスタ。

【請求項 2】 チップ状サーミスタ素体 (11) の上面全体に外部電極 (14) を形成する時の焼成温度より高い融点又は軟化点を有する絶縁性上面無機物層 (18) が $0.1 \sim 20 \mu\text{m}$ の厚さに形成され、前記外部電極 (14) の表面にめっき層 (19) が設けられた請求項 1 記載のチップ型サーミスタ。

【請求項 3】 めっき層 (19) は外部電極 (14) の表面に形成される Ni めっき層 (19a) と、この Ni めっき層 (19a) の表面に形成される Sn 又は Sn/Pb めっき層 (17b) とを備えた請求項 2 記載のチップ型サーミスタ。

【請求項 4】 絶縁性上面無機物層 (18) 又は下面無機物層 (13) が SiO_2 又は 50 重量%以上の SiO_2 と、残部が Al_2O_3 , MgO , ZrO_2 又は TiO_2 のいずれか 1 種又は 2 種以上の酸化物とにより構成され、外部電極 (14) を形成するための導電性ペースト (17) に含まれる無機結合材 (16) が SiO_2 , B_2O_3 , Na_2O , PbO , ZnO , TiO_2 , K_2O 又は BaO のいずれか 1 種又は 2 種以上の酸化物を主成分とするガラス微粒子により構成された請求項 1 又は 2 記載のチップ型サーミスタ。

【請求項 5】 絶縁性上面無機物層 (18) 又は下面無機物層 (13) が SiO_2 , B_2O_3 , Na_2O , PbO , ZnO 又は BaO のいずれか 1 種又は 2 種以上の酸化物を主成分とするガラスにより構成され、外部電極 (14) を形成するための導電性ペースト (17) に含まれる無機結合材 (16) が SiO_2 , B_2O_3 , Na_2O , PbO , ZnO , TiO_2 , K_2O 又は BaO のいずれか 1 種又は 2 種以上の酸化物を主成分とするガラス微粒子により構成された請求項 1 又は 2 記載のチップ型サーミスタ。

【請求項 6】 絶縁性上面無機物層 (18) 又は下面無機物層 (13) が結晶化ガラスからなる請求項 5 記載のチップ型サーミスタ。

【請求項 7】 サーミスタ素体用セラミック焼結シート (21) の片面に多数列の内部電極 (12) を形成する工程と、前記多数列の内部電極 (12) が形成された焼結シート (21) の片面全体に絶縁性ペーストを塗布し焼付けて厚さが $0.1 \sim 10 \mu\text{m}$ の絶縁性下面無機物層 (13) を形成する工程と、

前記多数列の内部電極 (12) が形成された列中央部分の前記下面無機物層 (13) の表面に金属粉末と無機結合材 (16) を含む導電性ペースト (17) を前記内部電極 (12) より少ない面積で稿状に塗布し焼付けて前記内部電極 (12) と同数列の外部電極 (14) を形成する工程と、

前記外部電極 (14) が両側縁に位置するように前記焼結シート (21) を短冊状に切断する工程と、

前記短冊状サーミスタ素体 (22) をその切断面と垂直な方向でチップ状に切断してチップ状サーミスタ素体 (11) の下面の相対向する 2 つの端縁に沿って間隔をあけて一対の内部電極 (12, 12) 及び外部電極 (14, 14) を有するチップ型サーミスタ (10) を得る工程とを含むチップ型サーミスタの製造方法であって、

前記下面無機物層 (13) は前記外部電極 (14) を形成する時の焼成温度より高い融点又は軟化点を有し、かつ前記導電性ペースト (17) の下地部分の前記下面無機物層 (13) の一部が前記外部電極 (14) の形成時に前記無機結合材 (16) に反応溶融して前記外部電極 (14) に吸収され消滅することを特徴とするチップ型サーミスタの製造方法。

【請求項 8】 サーミスタ素体用セラミック焼結シート (21) の片面に多数列の内部電極 (12) を形成する工程と、前記焼結シート (21) の両面全体に絶縁性ペーストを塗布し焼付けて厚さが $0.1 \sim 10 \mu\text{m}$ の絶縁性下面無機物層 (13) 及び厚さが $0.1 \sim 20 \mu\text{m}$ の上面無機物層 (18) を形成する工程と、

前記多数列の内部電極 (12) が形成された列中央部分の前記下面無機物層 (13) の表面に金属粉末と無機結合材 (16) を含む導電性ペースト (17) を前記内部電極 (12) より少ない面積で稿状に塗布し焼付けて前記内部電極 (12) と同数列の外部電極 (14) を形成する工程と、

前記外部電極 (14) の表面にめっき層 (19) を形成する工程と、

前記めっき層 (19) を形成した外部電極 (14) が両側縁に位置するように前記焼結シート (21) を短冊状に切断する工程と、

前記短冊状サーミスタ素体 (22) をその切断面と垂直な方向でチップ状に切断してチップ状サーミスタ素体 (11) の下面の相対向する 2 つの端縁に沿って間隔をあけて一対の外部電極 (12, 12) を有するチップ型サーミスタ (30) を得る工程とを含むチップ型サーミスタの製造方法であって、

前記下面無機物層(13)及び上面無機物層(18)は前記外部電極(14)を形成する時の焼成温度より高い融点又は軟化点を有し、かつ前記導電性ペースト(17)の下地部分の前記下面無機物層(13)の一部が前記外部電極(14)の形成時に前記無機結合材(16)に反応溶融して前記外部電極(14)に吸収され消滅することを特徴とするチップ型サーミスタの製造方法。

【請求項9】 サーミスタ素体用セラミック焼結シート(21)への内部電極(12)の形成がフォトリソグラフ法により行われる請求項7又は8記載のチップ型サーミスタの製造方法。

【請求項10】 サーミスタ素体用セラミック焼結シート(21)への絶縁性上面無機物層(18)又は下面無機物層(13)の被覆が物理蒸着法により行われる請求項7又は8記載のチップ型サーミスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、プリント回路基板等に表面実装されるフェイスダウン(face down)形のサーミスタ及びその製造方法に関する。更に詳しくは電子機器の温度補償用サーミスタや表面温度測定用センサに適するチップ型サーミスタ及びその製造方法に関するものである。

【0002】

【従来の技術】従来、図20に示すように、この種のチップ型サーミスタとして、6面体からなるチップ状サーミスタ素体1の下面の相対向する2つの端縁に沿ってAg又はAg/Pdからなる一対の端子電極2、2を間隔をあけて形成したチップ型サーミスタ3が提案されている(特開昭62-33401)。このサーミスタは、ウエハの片面全体に電極を形成した後、この面にダイシング装置によってサーミスタチップの電極間隔に等しい幅の溝を形成して前記全面電極を帯状の電極となし、しかる後又は同時に、前記ダイシング装置を用いてウエハをサーミスタチップにダイシングして作られる。

【0003】

【発明が解決しようとする課題】しかし、上記チップ型サーミスタは下面の一対の端子電極の間隔が比較的に狭いため、プリント基板等にはんだ付けにより実装したときに電極間にはんだブリッジ現象が生じやすい不具合があった。また端子電極はAg又はAg/Pdの組成であるため、プリント基板等を実装するときにはんだによる電極食われを生じやすく、はんだ耐熱性に劣っていた。更に上記チップ型サーミスタは一対の端子電極がダイシングにより形成されるため、例えば抵抗値公差が1%程度の極めて高精度の抵抗値を要求されるサーミスタ製品や、小型のサーミスタ製品を製造することは至難であった。

【0004】本発明の目的は、電極間にはんだブリッジが発生せず、はんだ耐熱性及びはんだ付着性に優れ、電

極のめっき処理による抵抗値の変化がなく、信頼性の高いチップ型サーミスタを提供することにある。本発明の別の目的は、抵抗値の精度が極めて高く、かつ小型化し得るチップ型サーミスタを提供することにある。本発明の別の目的は、上記優れたチップ型サーミスタを比較的容易にかつ安価に製造できるチップ型サーミスタの製造方法を提供することにある。

【0005】

【課題を解決するための手段】図1～図3、図12及び図13に示すように、本発明のチップ型サーミスタ10は、6面体からなるチップ状サーミスタ素体11と、このサーミスタ素体11の下面の相対向する2つの端縁に沿って間隔をあけて設けられた一対の内部電極12、12と、これらの内部電極12、12が形成されたサーミスタ素体11の下面全体に形成された絶縁性下面無機物層13と、内部電極12、12が形成された部分の下面無機物層13の表面に形成された一対の外部電極14、14とを備える。その特徴ある構成は、外部電極14が金属粉末と無機結合材16を含む導電性ペースト17を内部電極12より少ない面積でサーミスタ素体11の相対向する2つの端縁に焼付けて形成され、下面無機物層13は厚さが0.1～10μmであって、外部電極14を形成する時の焼成温度より高い融点又は軟化点を有し、かつそのペースト17の下地部分の下面無機物層13の一部が外部電極14の形成時に無機結合材16に反応溶融して外部電極14に吸収され消滅するように構成されたことにある。

【0006】なお、図4及び図5に示すように、チップ状サーミスタ素体11の上面全体に外部電極14を形成する時の焼成温度より高い融点又は軟化点を有する絶縁性上面無機物層18が0.1～20μmの厚さに形成され、外部電極14の表面にはNiめっき層19aと、このNiめっき層19aの表面に形成されたSn又はSn/Pbめっき層19bとからなるめっき層19を備えることが好ましい。

【0007】また、図6～図14に示すように、本発明のチップ型サーミスタの製造方法は、サーミスタ素体用セラミック焼結シート21の片面に多数列の内部電極12を形成し(図7)、多数列の内部電極12が形成された焼結シート21の片面全体に絶縁性ペーストを塗布し焼付けて厚さが0.1～10μmの絶縁性下面無機物層13を形成し(図9)、多数列の内部電極12が形成された列中央部分の下面無機物層13の表面に金属粉末と無機結合材16を含む導電性ペースト17を内部電極12より少ない面積で稿状に塗布し焼付けて内部電極12と同数列の外部電極14を形成し(図10、図12及び図13)、次いで外部電極14が両側縁に位置するように前記焼結シート21を短冊状に切断し(図11)、この短冊状サーミスタ素体22をその切断面と垂直な方向でチップ状に切断してチップ状サーミスタ素体11の下

面の相対向する2つの端縁に沿って間隔をあけて一対の内部電極12、12及び外部電極14、14を有するチップ型サーミスタ10を得る(図14)方法である。その特徴ある構成は、図12及び図13に示すように下面無機物層13が外部電極14を形成する時の焼成温度より高い融点又は軟化点を有し、かつ導電性ペースト17の下地部分の前記下面無機物層13の一部が前記外部電極14の形成時に無機結合材16に反応溶解して外部電極14に吸収され消滅することにある。

【0008】以下、本発明を詳述する。

(a) セラミック焼結シートに対する多数列の内部電極の形成

図6に示すように、サーミスタ素体用ウエハ状セラミック焼結シート21を用意する。この焼結シート21は次の方法により作られる。まずMn、Fe、Co、Ni、Cu、Al等の金属の酸化物粉末を1種又は2種以上混合する。2種以上混合するときは、所定の金属原子比になるように各金属酸化物を秤量する。この混合物を仮焼し粉碎した後、有機結合材と溶剤を加え混練してスラリーを調製し、このスラリーをドクターブレード法等により成膜乾燥してグリーンシートを成形し、これを焼成しウエハ状の焼結シート21を得る。なお、金属酸化物の混合物を仮焼し粉碎し、有機結合材を加え混合して直方体に成形した後、焼成してセラミック焼結ブロック(図示せず)を作製し、次いでこのブロックをバンドソーを用いてウエハ状に切断し、図6に示す焼結シート21を得てもよい。

【0009】次に、図7に示すように、焼結シート21の片面に貴金属粉末と無機結合材を含む導電性ペーストを縞状に塗布する。この塗布はフォトリソグラフ法が高精度にパターン形成ができ好ましい。高精度を要求されなければ、所定の縞状パターンを焼結シート21に重ね合わせて導電性ペーストを印刷するスクリーン印刷法により塗布してもよい。貴金属粉末を例示すれば、Ag、Au、Pd、Pt等の貴金属、又はこれらを混合した粉末が挙げられる。塗布したペーストを乾燥した後、焼成することにより多数列の内部電極12を形成する。なお、導電性ペーストを上記の方法により塗布し、これを焼成して焼付け電極層の内部電極を形成する以外に、焼結シート21の片面に所定の縞状パターンを重ね合わせて溶射法により内部電極を形成することもできる。

【0010】(b) セラミック焼結シートへの絶縁性下面無機物層の被覆

図7のB部拡大である図8及び図9に示すように、多数列の内部電極12が形成された焼結シート21の片面全体に絶縁性ペーストを塗布し焼付けて厚さが0.1~10 μ mの絶縁性下面無機物層13を形成する。10 μ mより厚いと、後述する外部電極の形成時に溶解した無機物層が外部電極中に完全に吸収されず、無機物層が外部電極と内部電極の界面に絶縁性皮膜として残留するため

外部電極と内部電極とが導通しない。また0.1 μ mより薄いと、後述するめっき処理に際して、まためっき処理後のサーミスタ素体の保護機能に劣る。この絶縁性下面無機物層13を例示すると、SiO₂膜又は50重量%以上のSiO₂と、残部がAl₂O₃、MgO、ZrO₂又はTiO₂のいずれか1種又は2種以上の酸化物により構成された薄膜、或いはSiO₂、B₂O₃、Na₂O、PbO、ZnO又はBaOのいずれか1種又は2種以上の酸化物を主成分とするガラスにより構成された薄膜が挙げられる。この無機物層13は後述する外部電極を形成するときの焼成温度より高い融点又は軟化点を有することが必要である。例えば、外部電極としてAgのペーストを焼付ける場合にはその焼成温度は600~850℃であるため、この温度より高い融点又は軟化点を有するものが選ばれる。この理由はペーストの焼付け温度より融点又は軟化点が大幅に低いと、ペースト焼付け時に無機物層が電極表面に浮き上がったり、或いはサーミスタ素体同士又は素体と焼成治具との貼り付きが生じて歩留りが低下し易いからである。

【0011】無機物層13は、この要件以外は耐めっき性がある、後述する導電性ペーストに含まれる無機結合材と反応して溶解する性質を有するものであれば特に制限はなく、結晶質であっても非結晶質であってもよい。しかし、上記ガラスが結晶質であっても、無機物層13を結晶化ガラスにするとサーミスタの抗折強度が高まり好ましい。このサーミスタ素体への無機物層の被覆は真空蒸着法、スパッタリング法、イオンプレーティング法のような物理蒸着法(PVD法)又は化学蒸着法(CVD法)により行われる。この中でスパッタリング法が量産に適しているため好ましい。この方法で量産するには、図7及び図8に示す焼結シート21を図示しないスパッタリング装置内に入れる。装置内には所期の無機物層を得るためのターゲット(図示せず)を装着しておく。例えば、無機物層がSiO₂膜であれば石英ガラスを用い、またSiO₂、Al₂O₃、MgO、ZrO₂、TiO₂、B₂O₃、Na₂O、PbO、ZnO、BaO等の複合酸化物膜であれば、これらを粉末冶金でディスク状に成形するか、或いはこれらを溶融後冷却しディスク状の複合ガラスにして用いる。スパッタリングを実施すると、ターゲットから叩き出されたターゲット材料がサーミスタ素体10の片面に凝縮し、ターゲット材料からなる無機物層13が形成される。

【0012】(c) 外部電極の形成

図10及び図12に示すように、多数列の内部電極12が形成された列中央部分の下面無機物層13の表面に金属粉末と無機結合材16を含む導電性ペースト17を塗布する。この塗布は導電性ペースト17を内部電極12より少ない面積で内部電極12の中央部分に縞状に行い、内部電極の形成法と同様に導電性ペーストをフォトリソグラフ法、スクリーン印刷法等により所定の位置に

行うことが必要である。また導電性ペーストに含まれる金属粉末も内部電極と同種のAg, Au, Pd, Pt等の貴金属、又はこれらを混合した粉末が挙げられる。導電性ペースト17に含まれる無機結合材16を例示すれば、SiO₂, B₂O₃, Na₂O, PbO, ZnO, TiO₂, K₂O又はBaOのいずれか1種又は2種以上の酸化物を主成分とする、ほうけい酸系ガラス、ほう酸亜鉛系ガラス、ほう酸カドミウム系ガラス、けい酸鉛亜鉛系ガラス等のガラス微粒子が挙げられる。

【0013】図12に示すように、塗布された導電性ペースト17中には無機結合材16が均一に分散しており、この無機結合材16は導電性ペーストの焼付け時にペースト17に接触する無機物層13と反応して、図13に示すようにこの無機物層13の一部を熔融消滅させる性質を有することが必要である。図13に示すように導電性ペースト17は焼付けによって外部電極14を生成し、この外部電極14はその焼付け時に無機物層13の一部が消滅することによって、内部電極12に電氣的に接続する。外部電極14は内部電極12と同数列形成される。

【0014】(d) 短冊状サーミスタ素体の形成

図10及び図11に示すように、矢印Mの箇所で外部電極14を形成した焼結シート21を2列の電極ずつ各電極が端縁に位置するようにダイヤモンドブレード付き切断機のようなダイシングソーで短冊状に切断し、短冊状サーミスタ素体22を得る。ダイシングソーで外部電極14の丁度中央部分を長手方向に切断する。

【0015】(e) チップ型サーミスタの作製

図11及び図14に示すように、上記ダイシングソーを用いて矢印Nの箇所で短冊状サーミスタ素体22の切断面と垂直な方向でチップ状に切断してチップ型サーミスタ10を得る。図14で得られたチップ型サーミスタ10を裏返せば、図1及び図3のチップ型サーミスタとなる。

【0016】(f) その他の構造のチップ型サーミスタの作製

図15に示すように、焼結シート21の内部電極12が形成された面に絶縁性無機物層13を形成すると同時に、その反対側の面にも絶縁性無機物層18を形成する。この無機物層18は無機物層13と同一の組成で同一の方法で形成される。ただし、無機物層18の厚さは無機物層13のように外部電極と内部電極の導通を目的としないため、無機物層13より厚くてもよい。その厚さはめっき処理時又はめっき処理後のサーミスタ素体の保護機能の観点から決められ、0.1~20μmが好ましい。20μmより厚くすると過剰保護になり、かつ生産性が低下する。

【0017】図16に示すように前記(c)と同様に外部電極14を形成した後、図17に示すように外部電極14の表面にめっき層19を形成する。めっき層19はNi

iめっき層19a及びSn又はSn/Pbめっき層19bをこの順に形成する(図4及び図5の拡大図)ことが好ましい。これらのめっき層は電解めっきにより形成される。めっき浴はNi, Sn又はSn/Pbともそれぞれ公知のものを使用する。めっき層を二重構造にするのは、Niめっき層19aによりはんだ耐熱性を向上させ、はんだによる内部電極12の電極食われを防止するためであり、Sn又はSn/Pbめっき層19bにより外部電極14のはんだ付着性を向上するためである。

【0018】図17~図19に示すように、前記(d)及び(e)と同様に短冊状サーミスタ素体22を形成し、この短冊状サーミスタ素体22を切断してチップ型サーミスタ20を得る。図19で得られたチップ型サーミスタ20を裏返せば、図4及び図5のチップ型サーミスタとなる。

【0019】

【作用】外部電極用の導電性ペーストを塗布したサーミスタ素体を無機物層の融点又は軟化点より低い温度で焼成すると、図12及び図13に示すように外部電極14が形成される。即ち、この焼成時にはペースト中に均一に分散した無機結合材16が無機物層13の一部と反応してこれを熔融させる。流動化した無機物層13の無機物は金属が焼結する際にできる外部電極14内の細孔に侵入する。無機物層13の厚さは0.1~10μmに設定されているため、無機物層13の一部は焼成の過程で上記細孔内に吸収されて内部電極12の表面から部分的に消滅する。この結果、外部電極14と内部電極12は無機物層13の消滅した部分を通じて直接接着し、互いに電氣的に導通する。内部電極12はサーミスタ素体10と導電性を維持するように形成されているから、外部電極14とサーミスタ素体10とは電氣的に導通する。

【0020】また、外部電極14の両端部の表面積は内部電極12の表面積より狭いため、外部電極14は内部電極12が存在しない部分の無機物層13上を被覆しない。このため無機物層13の厚さが下限値である0.1μmの極薄であっても、外部電極14が直接サーミスタ素体10に接触することはなく、電流は外部電極14、内部電極12、サーミスタ素体10を通じて流れる。一方、外部電極用の導電性ペーストが塗布されていない無機物層13の部分はペーストを焼付けても、その無機物層の融点又は軟化点が焼成温度より高いため、何ら変化を生じることなくサーミスタ素体10の表面に残留し、その絶縁保護機能を保持する。即ち、図3に示すように、はんだ23によりプリント回路基板24上のランドパターン25にチップ型サーミスタ10を表面実装すると、サーミスタ素体11下面の一对の外部電極14、14間に絶縁性無機物層13が設けられるため、基板へのはんだ付け時には電極間にはんだブリッジを生じない。

【0021】また図4に示すように、チップ型サーミスタ20を形成すると、めっき層形成時にはサーミスタ素

体が露出せず、サーミスタ素体がめっき液で浸食されず、サーミスタの抵抗値が所期の値に対して変動しない。更に図5に示すように、チップ型サーミスタ20を基板24にはんだ23により表面実装するとき、Niめっき層19aによりはんだ耐熱性が向上し、はんだによる内部電極12の電極食われが防止され、Sn又はSn/Pbめっき層19bにより端子電極12のはんだ付着性が向上する。これらのめっき層19は貴金属の内部電極12の表面を被覆するため、貴金属のイオン移動(ion migration)が発生しにくい。

【0022】

【発明の効果】以上述べたように、従来の製造方法では、工程数が多く複雑であったものが、本発明の製造方法によれば、少ない工程で比較的容易にチップ型サーミスタを製造できるため、量産に適し、製造コストが安価になる。また外部電極又はめっき層を形成した後でサーミスタ素体を精密に切断することにより、素子の寸法、電極面積等を厳格に制御できるので、チップになった後の特別な加工を要せず、しかも一対の内部電極の間隔が抵抗値を直接決定するため、抵抗値の精度が高いチップ型サーミスタが得られる。特に内部電極をフォトリソグラフ法で形成すれば抵抗値公差1%程度の極めて高精度でしかも小型のチップ型サーミスタが得られる。本発明のチップ型サーミスタは、プリント回路基板に対向するサーミスタ素体の下面の一対の外部電極が接触する部分を除いてサーミスタ素体が絶縁性下面無機物層で被覆され、かつ電極間が比較的広いため、基板実装時にはんだブリッジが発生しなくなる。サーミスタ素体の上面も絶縁性上面無機物層で被覆すれば、外部電極の表面にめっき層を形成するとき、サーミスタ素体がめっき液で浸食されず、イオン移動が生じにくくなる。外部電極の表面にめっき層を形成することにより、はんだ耐熱性とはんだ付着性に優れ、信頼性の高いサーミスタが得られる。

【0023】

【実施例】次に本発明の具体的態様を示すために、本発明を実施例に基づいて説明する。以下に述べる実施例は本発明の技術的範囲を限定するものではない。

＜実施例1＞次の方法により図1～図3に示すチップ型サーミスタを作製した。まず市販のマンガン化合物、ニッケル化合物、コバルト化合物を出発原料とし、これらを $MnO_2:NiO:CoO$ に換算して金属原子比3:2:1の割合でそれぞれ秤量した。秤量物をボールミルで16時間均一に混合した後に脱水乾燥した。次いでこの混合物を900℃で2時間仮焼し、この仮焼物を再びボールミルで粉碎して脱水乾燥した。粉碎物に有機結合材を加え、均一に混合した後、混合物を直方体に圧縮成形した。この圧縮成形物を大気圧下、1200℃で4時間焼成し、たて約35mm、よこ約50mm、厚さ約1

0mmのセラミック焼結ブロック(図示せず)を作製した。次にこのブロックをバンドソーでウエハ状に切断し、図6に示すたて約35mm、よこ約50mm、厚さ約0.3mmの焼結シート21を得た。

【0024】次に、図7及び図8に示すように、焼結シート21の片面に貴金属粉末と無機結合材を含む導電性ペーストをフォトリソグラフ法により稿状に塗布した。この導電性ペーストは市販の銀ペーストであって、Ag粉末とガラス微粒子と有機ビヒクルからなる。導電性ペーストを塗布したサーミスタ素体を大気圧下、乾燥した後、30℃/分の速度で、820℃まで昇温しそこで10分間保持し、30℃/分の速度で室温まで降温して、シート片面にAgからなる多数列の焼付け電極層の内部電極12を得た。内部電極12の幅はすべて同一であり、内部電極間は等間隔であった。1つの内部電極の幅は約0.7mmであり、内部電極と内部電極の間隔は約0.4mmであった。図9に示すように、多数列の内部電極12を形成した焼結シート21の片面全体にスッパタリング装置を用いて SiO_2 膜からなる絶縁性無機物層13を2μmの厚さで形成した。

【0025】図10及び図11に示すように、多数列の内部電極12が形成された列中央部分の無機物層13の表面に金属粉末と無機結合材を含む導電性ペーストを内部電極より少ない面積で稿状に塗布し焼付けて内部電極12と同数列の外部電極14を形成する。次いで矢印Mの箇所外部電極14を形成した焼結シート21を2列の電極ずつ各電極が端縁に位置するようにダイヤモンドブレード付き切断機で短冊状に切断し、短冊状サーミスタ素体22を得た後、同一の切断機を用いて矢印Nの箇所短冊状サーミスタ素体22の切断面と垂直な方向でチップ状に切断して、幅W=約0.5mm、長さL=約1.0mm、厚さT=約0.3mm、内部電極間隔=約0.4mm、内部電極幅=約0.3mmのチップ型サーミスタ10を得た。

【0026】＜比較例1＞図20に示すチップ型サーミスタ3を比較例1とした。即ち、実施例1と同じ焼結シートの片面に焼付け電極層を設け、ダイシングソーにより実施例1と同一形状、同一寸法のチップ型サーミスタを作製した。

【0027】＜比較試験と結果＞実施例1及び比較例1で得られたチップ型サーミスタを100個ずつ用意した。これらのサーミスタの25℃における抵抗値を測定し、その平均値と標準偏差から抵抗値のばらつきを計算した。またこれらのサーミスタを外部電極をはんだ付けすることによりプリント回路基板に実装し、はんだブリッジ現象の発生の有無を確認した。これらの結果を表1に示す。

【0028】

【表1】

	実施例 1	比較例 1
抵抗値のばらつき (%) (標準偏差 / 抵抗値平均値)	0. 2 9	1. 5 9
はんだブリッジ発生個数	0	9 2

【0029】表1から明らかなように、比較例1のサーミスタと比べて実施例1のサーミスタは抵抗値のばらつきが非常に小さく、かつ比較例1のサーミスタの90%以上がはんだブリッジを発生したのに対して、実施例1のサーミスタははんだブリッジが全く発生しなかった。

【0030】＜実施例2＞次の方法により図4及び図5に示すチップ型サーミスタを作製した。図15に示すように、実施例1と同じ焼結シート21の片面に実施例1と同様に多数列の内部電極12を形成した後、この焼結シート21の両面全体にスッパタリング装置を用いてSiO₂膜からなる絶縁性無機物層13及び18を2μmの厚さで形成した。図16及び図17に示すように、多数列の内部電極12が形成された列中央部分の無機物層13の表面に実施例1と同じ導電性ペーストを内部電極より少ない面積で竊状に塗布し焼付けて内部電極12と同数列の外部電極14を形成した後、電解めっき法により外部電極14の表面に厚さ1～2μmのNiめっき層19aを形成し、続いてその上に、同様に厚さ3～6μmのSnめっき層19bを形成した(図4及び図5)。次いで矢印Mの箇所でめっき層19を形成した焼結シート21を実施例1と同様に短冊状に切断して短冊状サーミスタ素体22を得た後、図18に示すように矢印Nの箇所で短冊状サーミスタ素体22の切断面と垂直な方向

でチップ状に切断して、実施例1とほぼ同形同大のチップ型サーミスタ20を得た。

【0031】＜比較例2＞図20に示すチップ型サーミスタ3の電極2の表面に実施例2と同じめっき層を形成したものを比較例2とした。即ち、実施例2と同じ焼結シートの片面に焼付け電極層を設け、この焼付け電極層の表面にのみめっき層を設けた後、ダイシングソーにより実施例2と同一形状、同一寸法のチップ型サーミスタを作製した。

【0032】＜比較試験と結果＞実施例2及び比較例2で得られたチップ型サーミスタを200個ずつ用意した。これらのサーミスタ100個ずつについて、サーミスタの25℃における抵抗値を測定し、その平均値と標準偏差から抵抗値のばらつきを計算した。また抵抗値を測定後、これらのサーミスタを270℃の溶融はんだの中に30秒間浸漬し、この浸漬前後のサーミスタの抵抗値の変化率を調べることにより、はんだ耐熱性試験を行った。残りのサーミスタ100個ずつについて、外部電極をはんだ付けすることによりサーミスタをプリント回路基板に実装し、はんだブリッジ現象の発生の有無を確認した。これらの結果を表2に示す。

【0033】

【表2】

	実施例 2	比較例 2
抵抗値のばらつき (%) (標準偏差 / 抵抗値平均値)	0. 3 2	1. 5 9
はんだ耐熱性 (%)		
抵抗値変化率 平均値	0. 0 9	1 1. 2 5
最小値	0. 0 1	7. 6 9
最大値	0. 1 0	1 3. 5 0
はんだブリッジ発生個数	0	9 2

【0034】表2から明らかなように、比較例2のサーミスタと比べて実施例2のサーミスタは抵抗値のばらつきが非常に小さく、はんだ耐熱性に優れていた。また比較例2のサーミスタの90%以上がはんだブリッジを発生したのに対して、実施例2のサーミスタははんだブリッジが全く発生しなかった。

【図面の簡単な説明】

【図1】本発明のチップ型サーミスタの外観斜視図。

【図2】その底面図。

【図3】図2のA-A線断面図。

【図4】本発明の別のチップ型サーミスタの外観斜視図。

【図 5】その中央縦断面図。

【図 6】本発明のチップ型サーミスタのサーミスタ素体となるセラミック焼結シートの外観斜視図。

【図 7】その焼結シートの片面に多数列の内部電極が形成された斜視図。

【図 8】図 7 の B 部拡大図。

【図 9】その多数列の内部電極が形成された焼結シートの片面に絶縁性無機物層が形成された斜視図。

【図 10】図 9 の多数列の内部電極が形成された列中央部分の絶縁性無機物層の表面に外部電極が形成された斜視図。

【図 11】図 10 の焼結シートを短冊状に切断した斜視図。

【図 12】焼結シートに外部電極用の導電性ペーストを塗布した状態の要部拡大断面図。

【図 13】その導電性ペーストを焼付けて、外部電極を形成した状態の要部拡大断面図。

【図 14】図 11 の短冊状サーミスタ素体をチップ状に切断した斜視図。

【図 15】多数列の内部電極が形成された焼結シートの両面に絶縁性無機物層が形成された斜視図。

【図 16】図 15 の多数列の内部電極が形成された列中央部分の絶縁性無機物層の表面に外部電極が形成された

斜視図。

【図 17】図 16 の外部電極の表面にめっき層が形成された斜視図。

【図 18】図 17 の焼結シートを短冊状に切断した斜視図。

【図 19】図 18 の短冊状サーミスタ素体をチップ状に切断した斜視図。

【図 20】従来例のチップ型サーミスタの外観斜視図。

【符号の説明】

10、20 チップ型サーミスタ

11 サーミスタ素体

12 内部電極

13 絶縁性下面無機物層

14 外部電極

16 無機結合材

17 導電性ペースト

18 絶縁性上面無機物層

19 めっき層

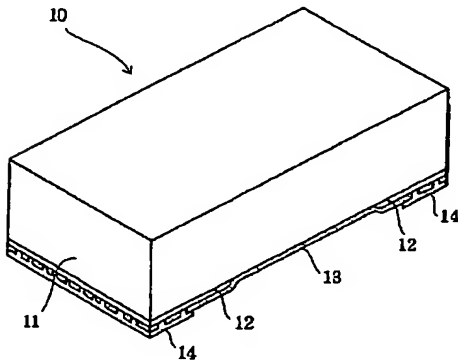
19a Niめっき層

19b Sn又はSn/Pbめっき層

21 サーミスタ素体用セラミック焼結シート

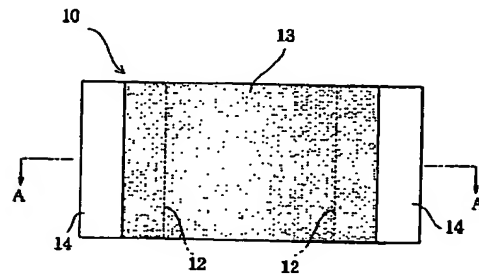
22 短冊状サーミスタ素体

【図 1】

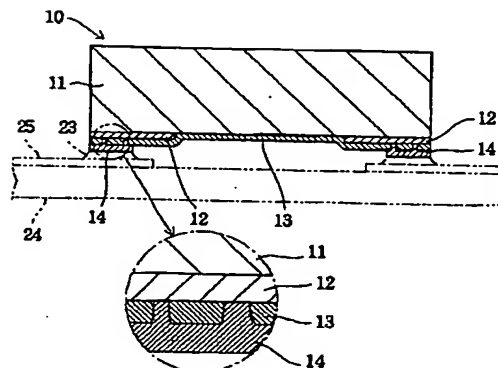


- 10 チップ型サーミスタ
- 11 サーミスタ素体
- 12 内部電極
- 13 絶縁性下面無機物層
- 14 外部電極

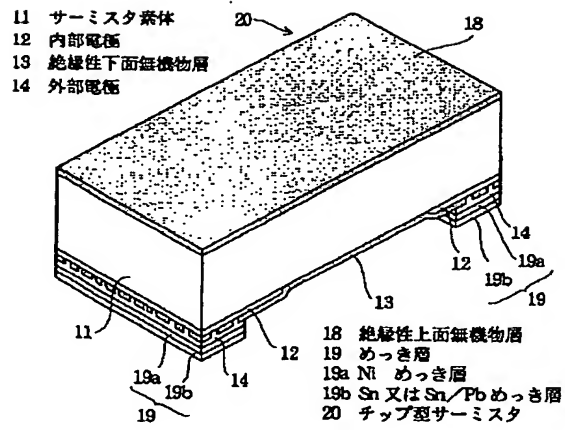
【図 2】



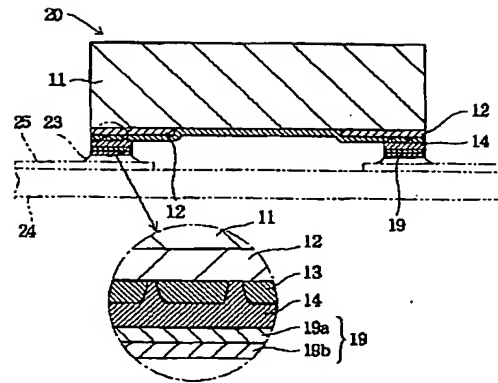
【図 3】



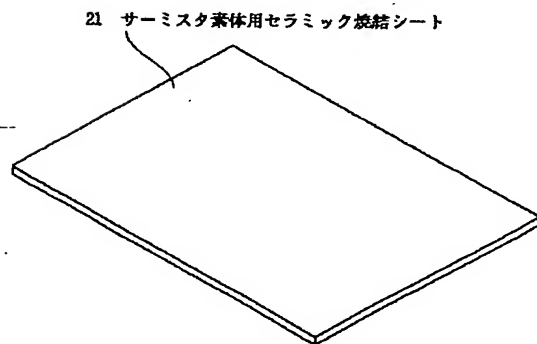
【図 4】



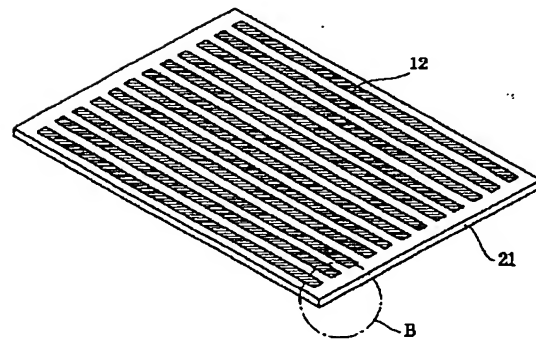
【図 5】



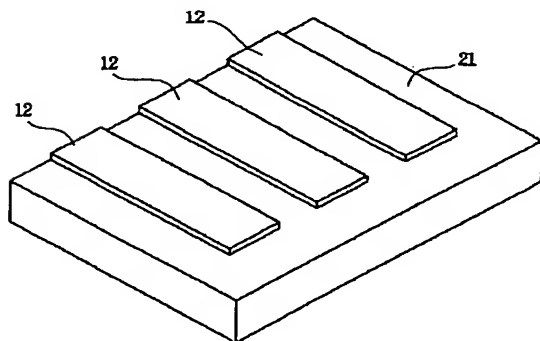
【図 6】



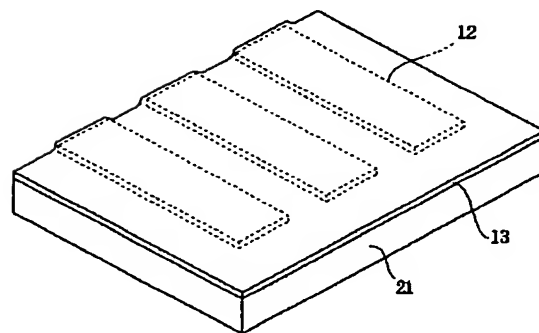
【図 7】



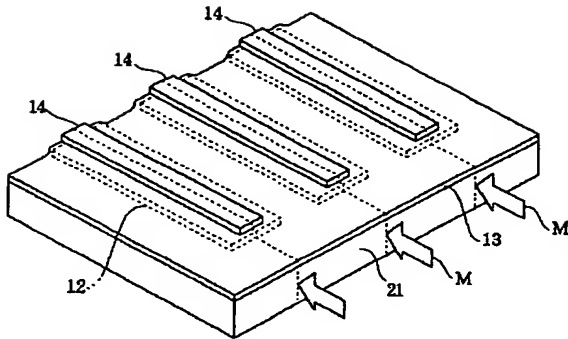
【図 8】



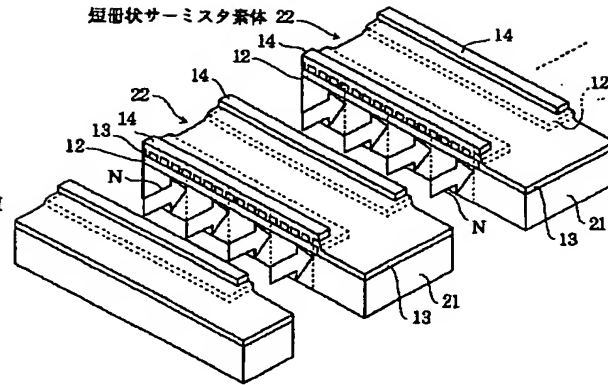
【図 9】



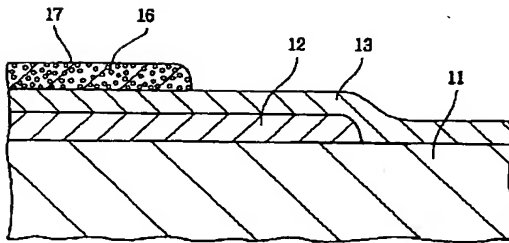
【図 10】



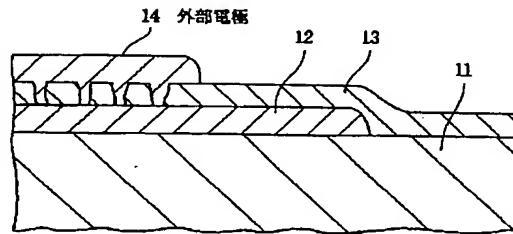
【図 11】



【図 12】

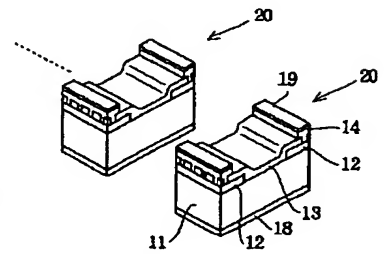


【図 13】

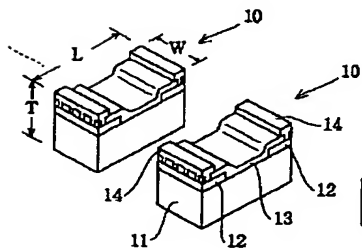


- 11 サーマスタ素体
- 12 内部電極
- 13 絶縁性下面被覆物層
- 16 焼結結合材
- 17 導電性ペースト

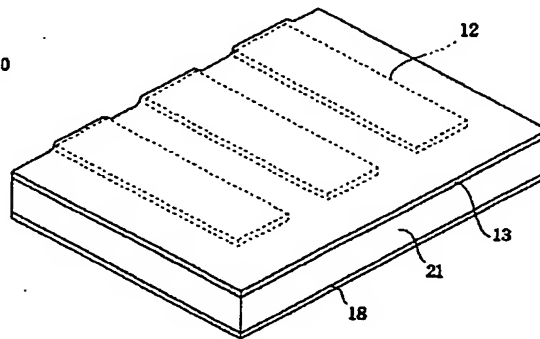
【図 19】



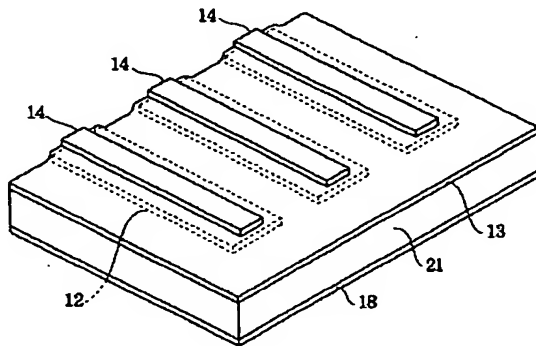
【図 14】



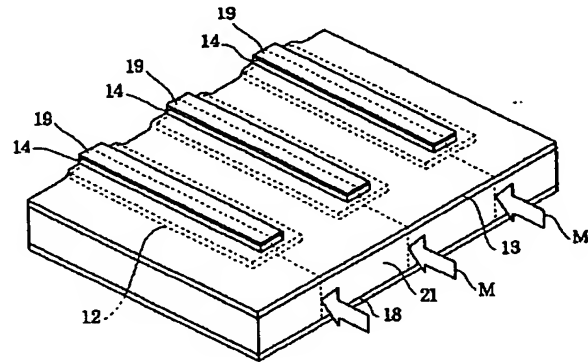
【図 15】



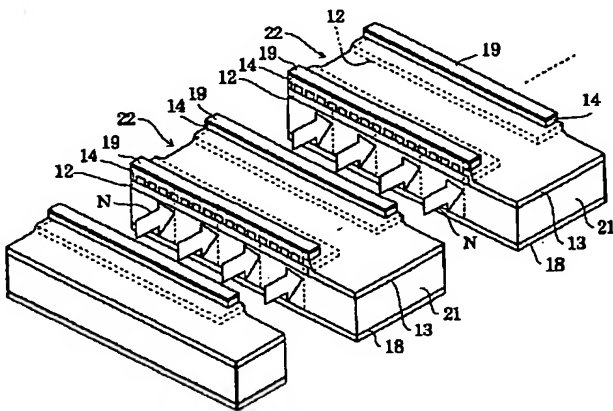
【図16】



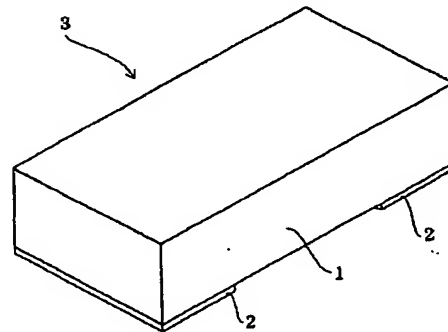
【図17】



【図18】



【図20】



フロントページの続き

(72) 発明者 越村 正己

埼玉県秩父郡横瀬町大字横瀬2270番地 三
菱マテリアル株式会社セラミックス研究所
内

This Page is inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLORED OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REPERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images
problems checked, please do not report the
problems to the IFW Image Problem Mailbox**